

Sigma-Delta-ADC in Software

vorge stellt in

Design&Elektronik 10/98

DESIGN & ELEKTRONIK
PRODUKTE UND KNOW-HOW FÜR DEN ELEKTRONIK-ENTWICKLER

Sigma-Delta-ADC mit dem SX-Controller

Oft besteht in einer Controllerapplikation Bedarf für einen Analog/Digital Wandler mit nicht allzu hohen Anforderungen bezüglich Auflösung und Geschwindigkeit. Aus Preis- und Platzgründen soll der externe Bauelementeaufwand so gering wie möglich gehalten werden.

Im folgenden Beitrag soll an Hand des bereits in /WUR98/ vorgestellten SX-Controllers von Scenix gezeigt werden, wie mit geringem Aufwand Sigma-Delta Analog/Digital-Wandler (ADC's) für eine Controllerapplikation programmiert und eingesetzt werden können. Der SX ist aufgrund seines Konzeptes der virtuellen Peripherie für solche Anforderungen sehr gut geeignet.

Dabei soll untersucht werden, in wie weit das an sich recht anspruchsvolle Konzept der Sigma-Delta-Wandler vereinfacht werden kann, welche Einschränkungen und Kompromisse notwendig sind und welche Ergebnisse damit erzielt werden können.

Als Hardwareplattform soll ein SX-Key Demoboard von Parallax mit der dazu gelieferten virtuellen Peripherie eingesetzt werden. Für die Referenzmessungen wurde ein HC12-Compact-Board /TWH98/ mit 12-Bit DAC und ADC genutzt.

Weiterhin kam ein 2 GSa Infinium Oszilloskop HP54825A von Hewlett-Packard zum Einsatz, um reproduzierbare und aussagekräftige Ergebnisse erhalten und dokumentieren zu können.

Zunächst soll jedoch ein Exkurs in die Theorie der Signalverarbeitung erfolgen, um die Eigenschaften der Wandler zu definieren.

1. Theorie zu Sigma-Delta-Wandlern

A/D-Wandler nach dem Sigma-Delta-Prinzip wandeln ein analoges Signal in zwei Schritten in ein digitales Signal mit b -Bit Wortbreite (Bild 1). In der ersten Stufe, Modulator genannt, erfolgt die Abtastung des analogen Signals der Bandbreite f_b mit einer hohen Überabtastrate $OSR=f_a/2f_b$ (f_a - Abtastfrequenz). Im Modulator (siehe Bild 2) wird die Differenz aus dem Eingangs- und dem Ausgangssignal über einer oder mehreren Rückkoppelschleifen gebildet und integriert. Das Integrationsergebnis wird durch einen Quantisierer bewertet. Bei genügend hoher Überabtastrung tritt zwischen zwei Abtastzeitpunkten nur eine geringe Signaländerung auf, so daß die Verwendung eines einfachen Binärquantisierers (1-Bit Wandler) möglich wird. Die entstehende serielle Bitfolge stellt ein pulsdichtemoduliertes Signal mit der hohen Abtastfrequenz f_a dar. Jeweils OSR aufeinanderfolgende Bits dieses Datenstromes enthalten die Information, die nach dem Nyquistkriterium erforderlich ist, um ein Signal der Frequenz f_b sicher zu beschreiben. Diese serielle Bitfolge bildet das Übergabesignal zur zweiten Baugruppe, einem Digitalfilter. Dessen Aufgabe ist die Unterdrückung der entstanden hochfrequenten Rauschteile und die Umwandlung des seriellen Datenstromes in die b Bit breiten Digitalworte, die mit der Frequenz der doppelten Bandbreite des Eingangssignals $f_n = 2 \cdot f_b$ (Nyquistfrequenz) ausgegeben werden.

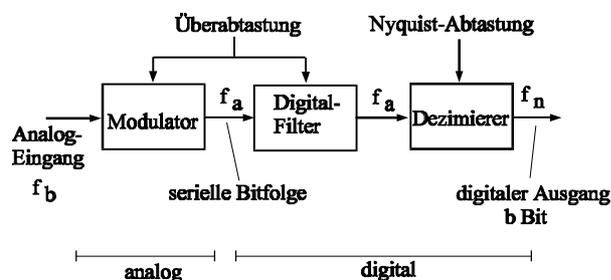


Bild 1: Baugruppen eines $\Sigma\Delta$ -Wandlers

Modulator

Ein $\Sigma\Delta$ -Modulator besteht aus drei Analogbaugruppen, dem Integrator, dem Quantisierer und einem Digital-Analog-Wandler (siehe Bild 2a).

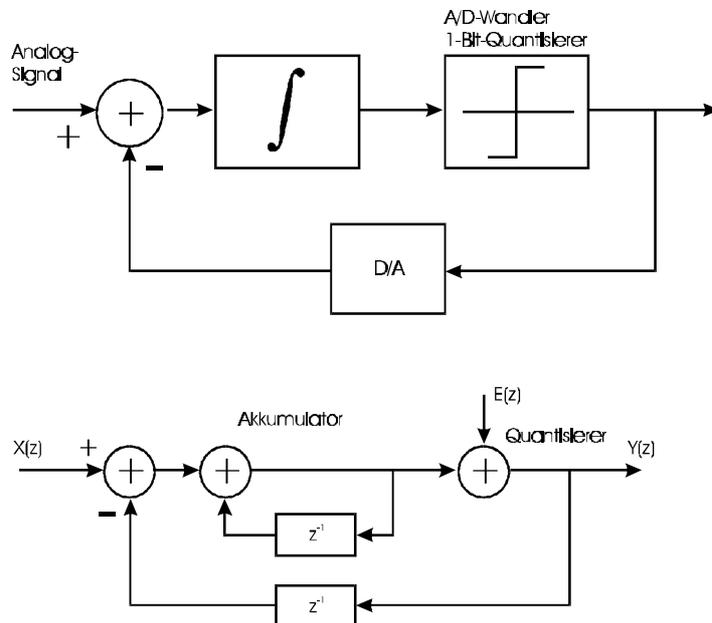


Bild 2: Prinzip eines $\Sigma\Delta$ -Modulators a) Blockschaltbild b) zeitdiskrete Darstellung

Da die Ausgangssignale zu diskreten Zeitpunkten gebildet werden, bietet sich eine Beschreibung im Z-Bereich an (siehe Bild 2b). Im einfachsten Fall basiert die Realisierung auf einem Integrator erster Ordnung. Dieser stellt bezüglich der zeitdiskreten Signalverarbeitung einen Akkumulator mit der Übertragungsfunktion

$$H(z) = \frac{1}{1 - z^{-1}}$$

dar. Der Quantisierer ist ein nichtlineares Bauelement. Für eine vereinfachte Analyse der Systemparameter des Modulators dient ein lineares 1-Bit-A/D-Wandlermodell, nach dem der Quantisierer durch die Addition eines weißen Quantisierungsrauschens $E(z)$ beschrieben wird. Das Leistungsdichtespektrum $S_E(f)$ dieses Rauschens hängt dann bei sinusförmigem Signal von der Quantisierungsschrittweite Δ ab /CAND85/.

$$S_E(f) = \frac{1}{f_a} \cdot \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} e^2 de = \frac{\Delta^2}{12 f_a}$$

Ein weißes Rauschen produziert ein Quantisierer jedoch nur, wenn folgende Voraussetzungen erfüllt sind /GRAY90/:

- Die Signalamplitude muß groß im Vergleich zur Quantisiererschrittweite Δ sein. Dann werden viele Quantisierungsstufen auch tatsächlich genutzt.
- Das Signal muß ständig aktiv sein, d.h. die Quantisierungsstufen werden sehr oft durchschritten.
- Der Quantisierungsfehler e bewegt sich dann zwischen $-\Delta/2$ und $+\Delta/2$ und alle Werte treten mit der gleichen Wahrscheinlichkeit auf. Der Quantisierungsfehler erscheint dann vom Eingangssignal unabhängig.

Diese Voraussetzungen sind allerdings bei 1-Bit-Quantisierern und bei niederfrequenten Signalen ($f_b \ll f_a$) gerade nicht erfüllt. Die realen Eigenschaften für diese Anwendungsfälle sind folglich ungünstiger als sie auf der Basis der vereinfachten Theorie berechnet werden, wie an den späteren Ausführungen sichtbar wird. Das lineare Modell liefert jedoch ein überschaubares Handwerkszeug zur Wandlerberechnung und zur Abschätzung der oberen Leistungsgrenzen. Für genauere nichtlineare Untersuchungen sei auf /ARPA87/ verwiesen.

Die Rückführung des Modulatorausgangssignals erfolgt mit einer Verzögerung um ein Taktintervall. Damit läßt sich das Ausgangssignal des Modulators aus Bild 2b im Z-Bereich in der Form

$$Y(z) = \frac{H(z)}{1+z^{-1}H(z)} X(z) + \frac{1}{1+z^{-1}H(z)} E(z) = X(z) + (1-z^{-1})E(z)$$

beschreiben. Das Eingangssignal $X(z)$ wird mit der Signalübertragungsfunktion $W(z) = 1$ (Allpaß) an den Ausgang übertragen. Somit erfolgt keine Verformung des Signalspektrums. Das weiße Quantisierungsrauschen $E(z)$ wird nach der Rauschübertragungsfunktion $R(z) = 1-z^{-1}$ an den Ausgang übertragen. Diese stellt im Frequenzbereich eine Hochpaßfunktion 1. Ordnung (HP1) entsprechend Bild 3 dar. Das im Ausgangssignal enthaltene Quantisierungsrauschen erhält dadurch eine starke Frequenzabhängigkeit. Auf Grund der hohen Überabtastung wird der größte Teil des Quantisierungsrauschens in Frequenzbereiche weit oberhalb der Signalbandbreite f_b verschoben und kann später mit dem nachfolgenden Digitalfilter leicht ausgefiltert werden. Innerhalb des Signalfrequenzbandes verbleibt nur ein sehr geringer Anteil. Die Wirkung der Rauschverschiebung wächst mit steigender Ordnung der Hochpaßcharakteristik, also mit der Anzahl der Rückkopplerschleifen des Modulators.

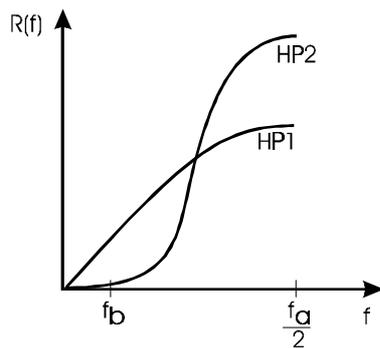


Bild 3: Rauschübertragungsfunktion

Den zeitlichen Verlauf des Integratorausganges und des binären Ausgangssignals eines solchen Modulators erster Ordnung (mit 64-facher Überabtastung) bei sinusförmigem Eingangssignal zeigt Bild 4. Der Integratorausgang pendelt stets um die Schaltschwelle des Komparators. Die Integrationsrichtung und die Steilheit der Integrationsflanke werden von der Differenz aus dem Eingangssignal und dem in ein Analogsignal rückgewandelten Komparatorausgang bestimmt. Über- bzw. unterschreitet die Ausgangsspannung des Integrators die Komparatorschwelle, so ändert sich der Ausgangswert des Komparators und die Integrationsrichtung kehrt sich um.

Im Rückkoppelzweig wird zur Umwandlung des Ausgangsbites in eine analoge Signalgröße ein 1-Bit-D/A-Wandler benötigt. Das ins Analoge rückgewandelte Ausgangssignal repräsentiert entweder die maximale Eingangsspannung U_{\max} oder die minimale Eingangsspannung U_{\min} und gibt damit gleichzeitig den Eingangsspannungsbereich des Wandlers vor. Je größer das Eingangssignal ist, desto öfter gibt der Komparator eine 1 aus. Bei niedrigem Eingangspegel überwiegt die Anzahl der ausgegebenen 0-Werte. Liegt die Eingangsspannung in der Mitte zwischen U_{\max} und U_{\min} , dann wechselt der Ausgang ständig zwischen 0 und 1. Auf Grund der integrierenden Modulatorfunktion ist die Höhe der Eingangsspannung im Mittelwert des ausgegebenen seriellen Bitstromes enthalten. Dieser stellt einen relativen Wert in Bezug auf die beiden Grenzwerte U_{\max} und U_{\min} dar. Die Konstanz und die Genauigkeit der Ausgangsspannung des D/A-Wandlers entscheiden somit über die absolute Genauigkeit des gebildeten Mittelwertes.

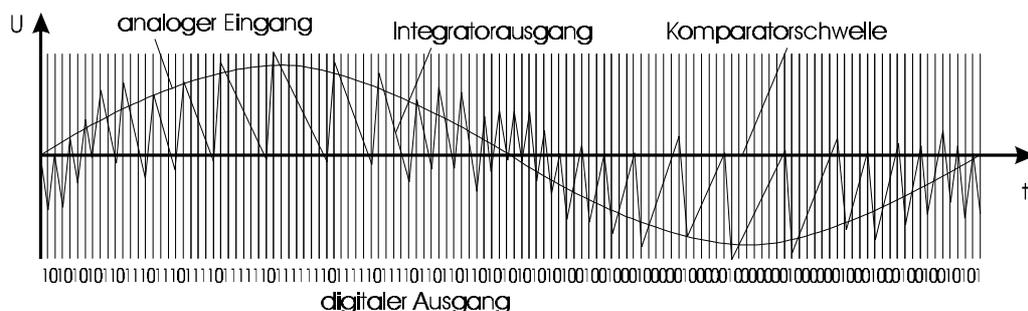


Bild 4: Signalverlauf an einem $\Sigma\Delta$ -Modulator erster Ordnung

Eine Verallgemeinerung dieses Wandlers erster Ordnung enthält anstelle des Integrators ein Schleifenfilter n-ter Ordnung. Dann ergibt sich als Signalübertragungsfunktion eine Tiefpaßcharakteristik n-ter Ordnung und als Rauschübertragungsfunktion eine Hochpaßcharakteristik n-ter Ordnung. Bei einer höheren Ordnung dieser Hochpaßfunktion ergibt sich eine stärkere Rauschverschiebung und der im Signalfrequenzband verbleibende Rauschanteil sinkt (vgl. Bild 3). Der Signalrauschabstand SNR des Ausgangssignals eines solchen Modulators verbessert sich mit zunehmender Ordnung n und mit wachsender Überabtastrate OSR. Der Zusammenhang läßt sich nach /Beck96/ auf Basis des linearen Quantisierermodells mit der Beziehung

$$SNR_{\max} = 10 \lg \left(\frac{3(2n+1)}{2p^{2n}} \right) dB + (2n+1) \cdot 10 \lg(OSR) dB$$

beschreiben.

Eine Bewertung dieses Signalrauschabstandes wird möglich, wenn man den bei idealer D/A-Wandlung eines b Bit breiten Digitalsignals erzielbaren Signalrauschabstand, auch als Dynamikbereich DB bezeichnet, zum Vergleich heranzieht. Dieser wird bei einem Sinussignal mit maximalem Pegel erreicht. Bei einer Signalamplitude $A = 2^{b-1} \Delta$, wobei Δ die Quantisiererschrittweite ist, beträgt dessen Signalleistung

$$P_S = \frac{A^2}{2} = \frac{(2^{b-1} \Delta)^2}{2}$$

Die Rauschleistung einer gleichverteilten Zufallsgröße, wie sie das weiße Quantisierungsrauschen darstellt beträgt nach /LÜKE90/

$$P_R = \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} e^2 de = \frac{\Delta^2}{12}$$

Für den maximalen Signal-Rausch-Abstand erhält man folglich

$$DB = SNR_{\max} = 10 \cdot \log \left(\frac{P_S}{P_R} \right) = b \cdot 6,02 \text{ dB} + 1,76 \text{ dB}$$

Der Zusammenhang ist in Bild 5 dargestellt.

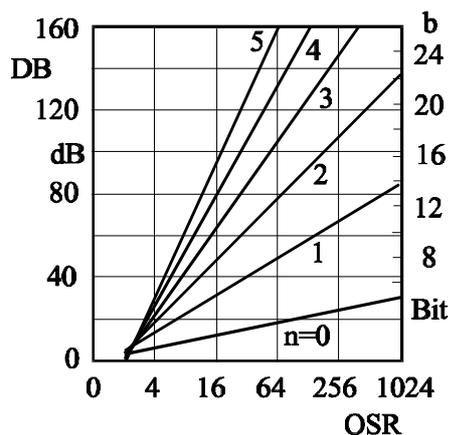


Bild 5: Dynamikbereich eines $\Sigma\Delta$ -Modulators

Um mit einem Modulator erster Ordnung die Realisierung eines 8 Bit A/D-Wandlers zu ermöglichen, ist nach Bild 5 mindestens eine Überabtastrate von $OSR = 64$ erforderlich.

Digitalfilter

Der Digitalteil eines $\Sigma\Delta$ -Wandlers besteht aus einem Tiefpaßfilter zu Unterdrückung des hochfrequenten Anteils im Quantisierungsrauschen und einem Dezimierer zur Reduktion der Abtastfrequenz des Ausgangssignals auf minimal die doppelte Bandbreite des Eingangssignals, d.h. um einen Faktor $m \leq \text{OSR}$. Dabei wird der serielle Bitstrom des Modulatorausgangs in b Bit breite Digitalworte, wie sie in gewöhnlichen A/D-Wandlern gebildet werden, umgewandelt. Im einfachsten Fall kann das Tiefpaßfilter durch die Bildung des gleitenden Mittelwertes über dem Ausgangssignal des Modulators beschrieben werden. Die Reduktion der Abtastrate entspricht der Entnahme jedes m -ten Wertes des Filterausgangssignals (siehe Bild 6).

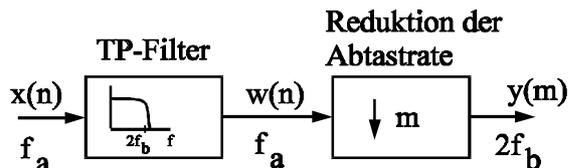


Bild 6: Digitalteil eines $\Sigma\Delta$ -Wandlers

Die mögliche Größe von b resultiert aus dem im Modulator erreichbaren Signalrauschabstand sowie im Digitalteil eventuell verursachter zusätzlicher Rauschanteile. Die Aussagekraft des LSB darf nicht durch Rauschen überdeckt werden. Dafür ist zunächst die Ordnung k des Tiefpaßfilters entscheidend. Nach /CAND86/ muß diese Ordnung den Wert $k = n + 1$ aufweisen (n : Ordnung des $\Sigma\Delta$ -Wandlers), damit der vom Modulator erzielte Signalrauschabstand im Digitalteil nicht verschlechtert wird.

Mittelwertbildung

Die Übertragungsfunktion einer gleitenden Mittelwertbildung k -ter Ordnung über m Abtastwerte mit Dezimierung um den Faktor m wird im Z-Bereich durch die Übertragungsfunktion

$$H_{SP}(z) = \left[\frac{1}{m} \frac{(1 - z^{-m})}{(1 - z^{-1})} \right]^k$$

beschrieben. Diese Übertragungsfunktion entspricht im Frequenzbereich der Spaltfunktion nach Bild 7. An den Vielfachen der Dezimiererausgangsfrequenz $f_D = f_a/m$ besitzt diese Übertragungsfunktion Nullstellen. Dies ist für die Unterdrückung von Störsignalen besonders günstig.

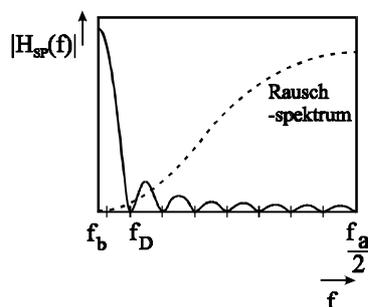


Bild 7: Frequenzgang des Betrages der Spaltfunktion

Nachteilig ist jedoch der relativ flache Verlauf des ersten Abschnitts der Funktion im Bereich $0 < f < f_D$. Nur wenn f_D viel größer als die Signalbandbreite f_b ist, bleibt die spektrale Beeinflussung des Signals gering.

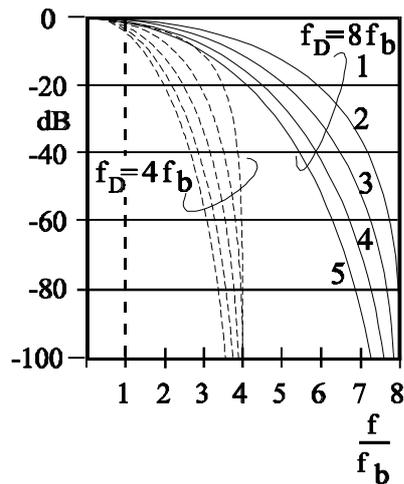


Bild 8: Erster Abschnitt der Spaltfunktionen verschiedener Ordnung

Bei einer Dezimierung auf die 4-fache Bandbreite des Eingangssignals beträgt die maximale Signaldämpfung bei einem $\Sigma\Delta$ -Wandler 1. Ordnung bereits 0,91 dB (siehe Bild 8). Bei $f_D = 8 f_b$ beträgt sie immer noch 0,22 dB. Probleme bereitet auch die Sperrdämpfung bei der Frequenz $f_D - f_b$. Sie ist ausschlaggebend für den durch die Dezimierung ins Signalband rückgefalteten Spiegelanteil bei der Abtastfrequenz f_a . Im Beispiel beträgt sie 10,4 dB bzw. 17,08 dB. Eine gleitende Mittelwertbildung niedriger Ordnung ist folglich nur sinnvoll, wenn die Dezimierungsfrequenz f_D noch deutlich höher als die Bandbreite des Eingangssignals ist. In allen anderen Fällen muß ein Digitalfilter mit viel höherer Ordnung verwendet werden, was beträchtlichen Rechenaufwand bedeutet und damit die Abtastfrequenz einschränkt.

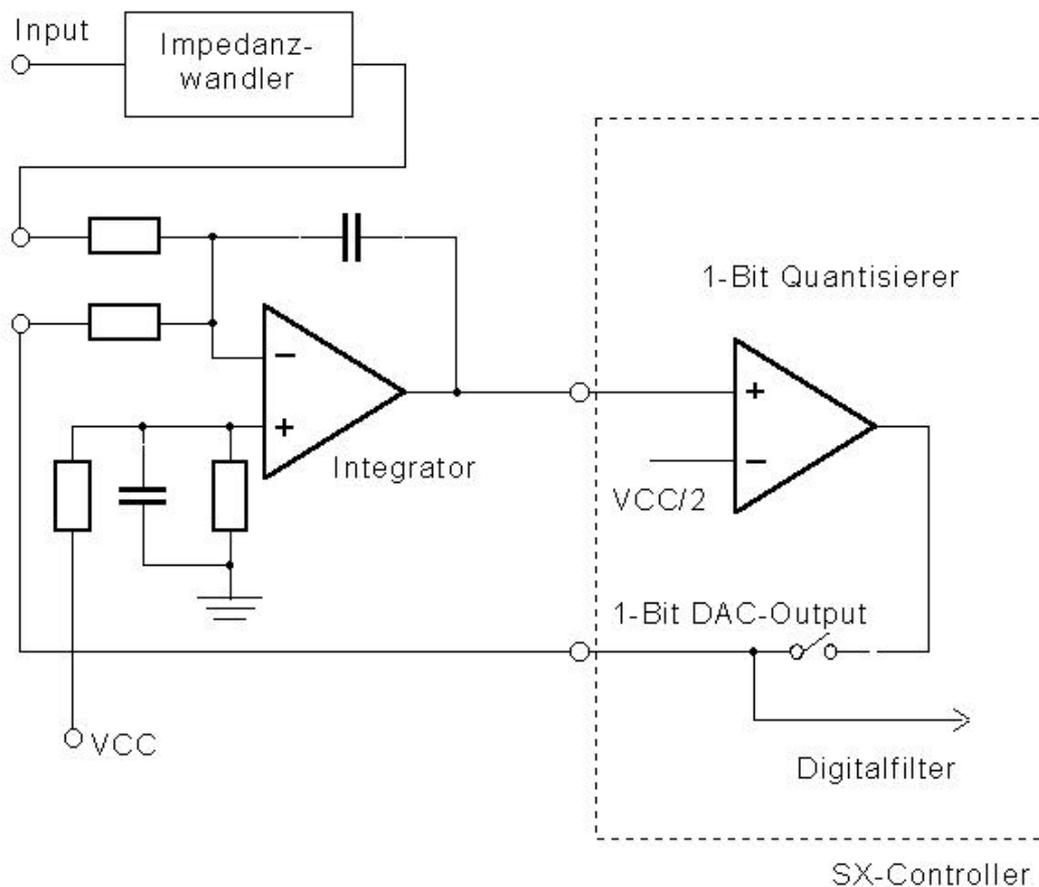
2. SX-Realisierung eines SD-Wandlers

Ziel dieser Überlegungen ist der bauelementarme Aufbau eines 8-Bit A/D-Wandlers unter Nutzung der virtuellen Peripherie des Scenix SX-Controllers und die Bestimmung der Eigenschaften eines solchen Wandlers. Der SX wird mit 50 MHz getaktet und kann 50 MIPS leisten. In einer jitterfreien Interruptroutine sollen Teile des $\Sigma\Delta$ -Modulators sowie Digitalfilter und Dezimierer realisiert werden. Zunächst ist jedoch die Hardware für den $\Sigma\Delta$ -Modulator festzulegen.

$\Sigma\Delta$ -Modulator

Im Gegensatz zu industriell gefertigten Wandlern soll hier nur ein Modulator 1. Ordnung eingesetzt werden, da dieser sehr einfach zu realisieren ist.

Realisierung eines Sigma-Delta-Modulators 1. Ordnung mit OV:



einfache Realisierung eines Sigma-Delta-Modulators 1. Ordnung:

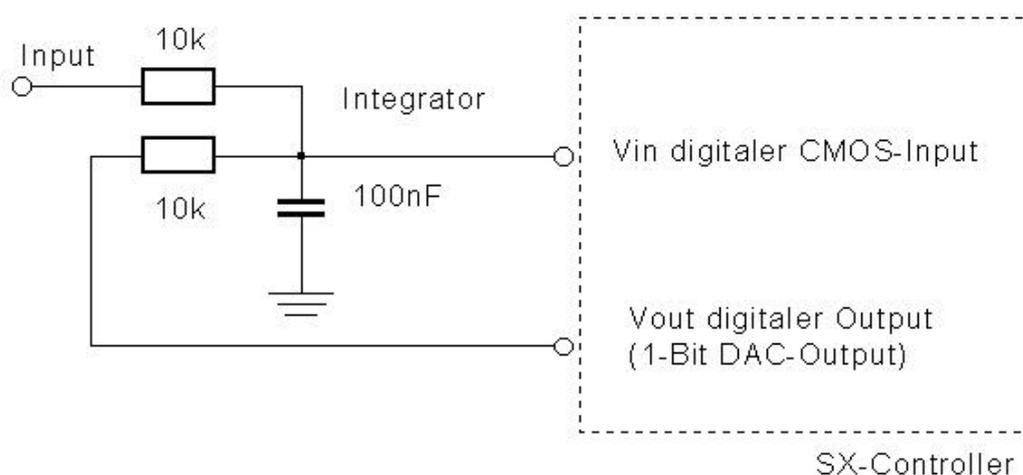


Bild 9: $\Sigma\Delta$ -Modulator a) mit Operationsverstärker b) mit RC-Netzwerk

Bild 9 a) zeigt die Ausführung eines Modulators mit Integrator (mit OV) als externe Komponenten. Die Funktion des 1-Bit Quantisierers übernimmt dabei ein auf CMOS-Pegel definiertes Inputpin des SX. Der DAC-Output wird auch durch ein Outputpin des SX gebildet, der durch die Software angesteuert wird.

Die Genauigkeit des $\Sigma\Delta$ -Modulators bestimmen in erster Linie die beiden Widerstände am Integratoreingang, die Konstanz der Spannungsversorgung und die Genauigkeit der DAC-Ausgangsspannung. Der Integrationskondensator muß nur während der Messung kurzzeitstabil sein.

Da die Frequenz der zu messenden Eingangsspannung klein gegenüber der Abtastrate des Wandlers ist, kann eine Sample & Hold-Stufe am Wandlereingang entfallen. Der Impedanzwandler (Spannungsfollower) reduziert die Belastung für das Meßobjekt.

Entfällt auch der Spannungsfollower, so beeinflußt der Innenwiderstand der Meßquelle die Wandlerkennlinie (Verstärkung), da dieser Innenwiderstand zum Eingangswiderstand hinzugerechnet werden muß. Nimmt man noch Nichtlinearitäten am Anfang und Ende des Meßbereiches in Kauf, so läßt sich der Integrator durch die in Bild 9 b) gezeigte RC-Kombination ersetzen.

Diese Minimalschaltung nach Bild 9 b) stellt nun den einfachsten $\Sigma\Delta$ -Modulator dar, an dem nun einige Untersuchungen erfolgen sollen.

Betrachtet man das Verhalten des als Analog-Komparator (1-Bit Quantisierer) „mißbrauchten“ CMOS-Digital-Inputpins des SX, so erhält man die in den Bildern 10 und 11 gezeigten Kennlinien. Die Triggerschwelle liegt ziemlich genau bei der halben Betriebsspannung (2,49 V) und weist nur eine Hysterese von ca. 2 mV auf. Falls die Triggerschwelle jedoch zu langsam durchschritten wird (ms-Bereich), so kann dies zu unerwünschten Schwingungen führen, die den gesamten Controller zum Absturz bringen können. Dieser Effekt trat aber nur beim Ausmessen der Kennlinie und nicht im realen Betrieb auf.



Bild 10: Kennlinie eines digitalen CMOS-Inputs bei linear abfallender Eingangsspannung

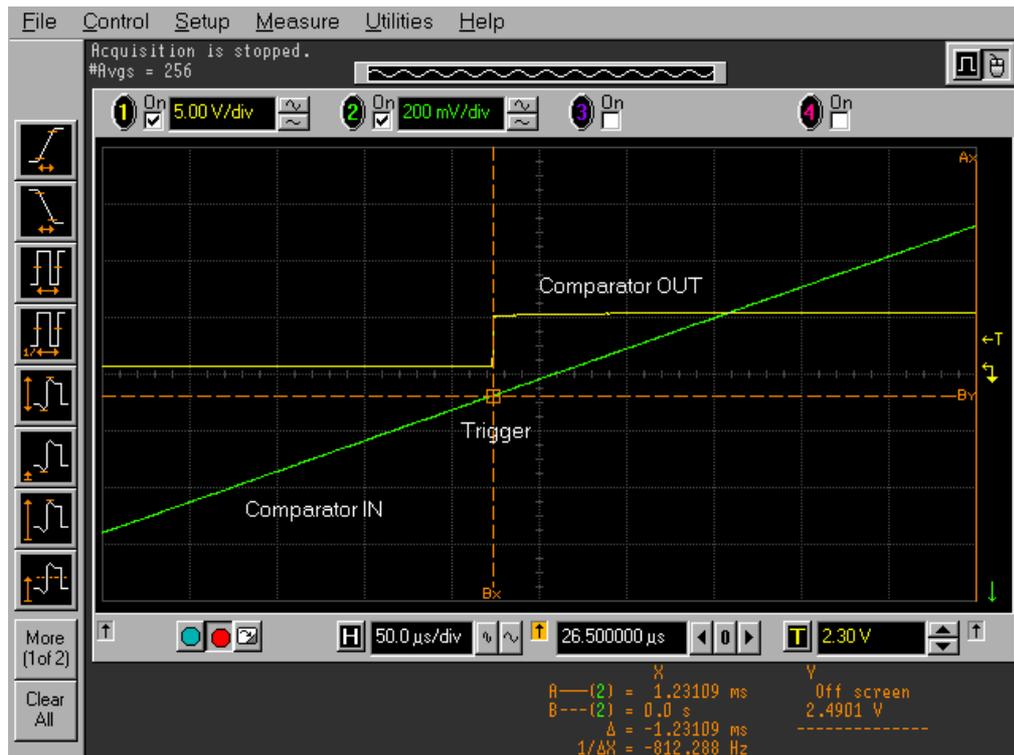


Bild 11: Kennlinie eines digitalen CMOS-Inputs bei linear steigender Eingangsspannung

Einfluß auf die Genauigkeit des Komparators und des DAC-Outputs hat natürlich die Qualität der Referenzspannung. Da hier keine separate Referenzspannung existiert, sondern direkt die Betriebsspannung des SX genutzt wird, ist das ein kritischer Punkt.

Der SX wird mit 50 MHz getaktet und besitzt eine hohe Treiberleistung. Das hat relativ hohe Störspannungen zur Folge, Bild 12 zeigt den Wechselspannungsanteil direkt am VCC-Pin des SX. Die Spitzenspannung der Störung beträgt hier 276 mV bei einer Frequenz von 50 MHz. Der Einfluß dieser Störspannungen wird allerdings teilweise dadurch kompensiert, daß die Abtastung phasenstarr gegenüber der Störspannung erfolgt. Reicht die erzielte Genauigkeit dieses $\Sigma\Delta$ -Modulators für die gewünschte Applikation nicht aus, dann sollte einer separaten Referenzspannung insbesondere des DAC-Outputs der Vorzug gegeben werden, was natürlich den Schaltungsaufwand erhöht.

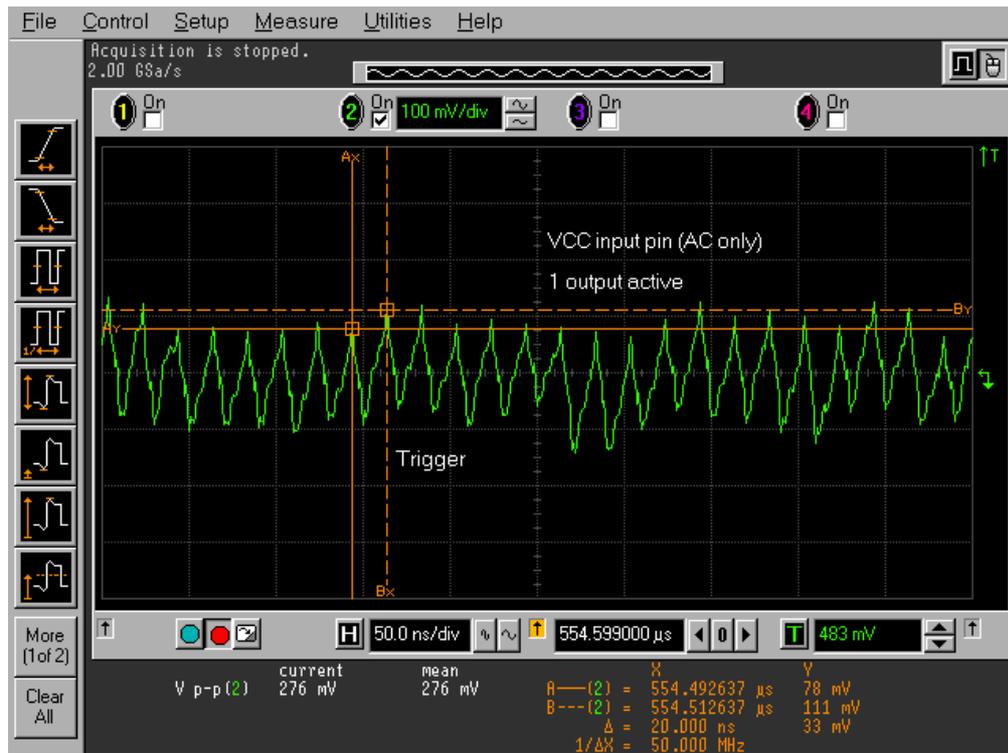


Bild 12: Wechselspannungsanteil am VCC-Pin des SX

Im Bild 13 ist ein Output-Pin des SX bei High-Pegel dargestellt. Damit erreicht der DAC-Output nur ca. 4,84 V Ausgangsspannung und ist mit einer Störspitzenspannung von 385 mV überlagert. Das hat zur Folge, daß der Wandler einen systematischen Fehler (zu geringer Meßwert) erzeugen wird. Bild 14 zeigt die Verhältnisse bei Low-Pegel. Hier liegen die Verhältnisse etwas günstiger: Die Störspannung ist zwar in der gleichen Größenordnung, aber der Mittelwert liegt bei 0V.

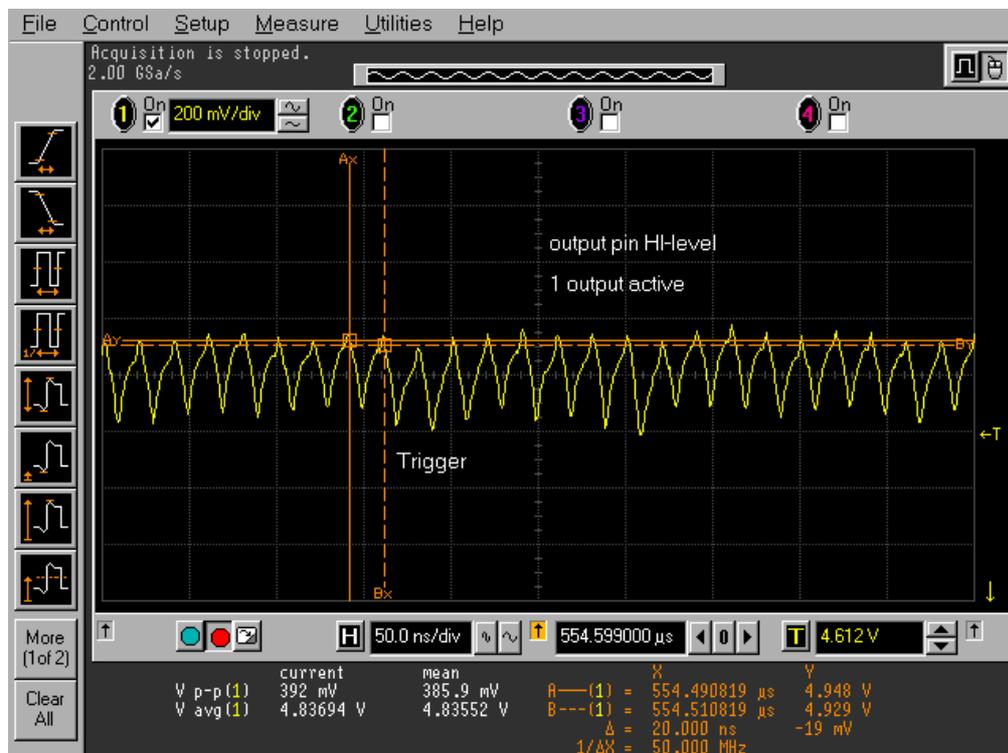


Bild 13: Output-Pin des SX bei High-Pegel

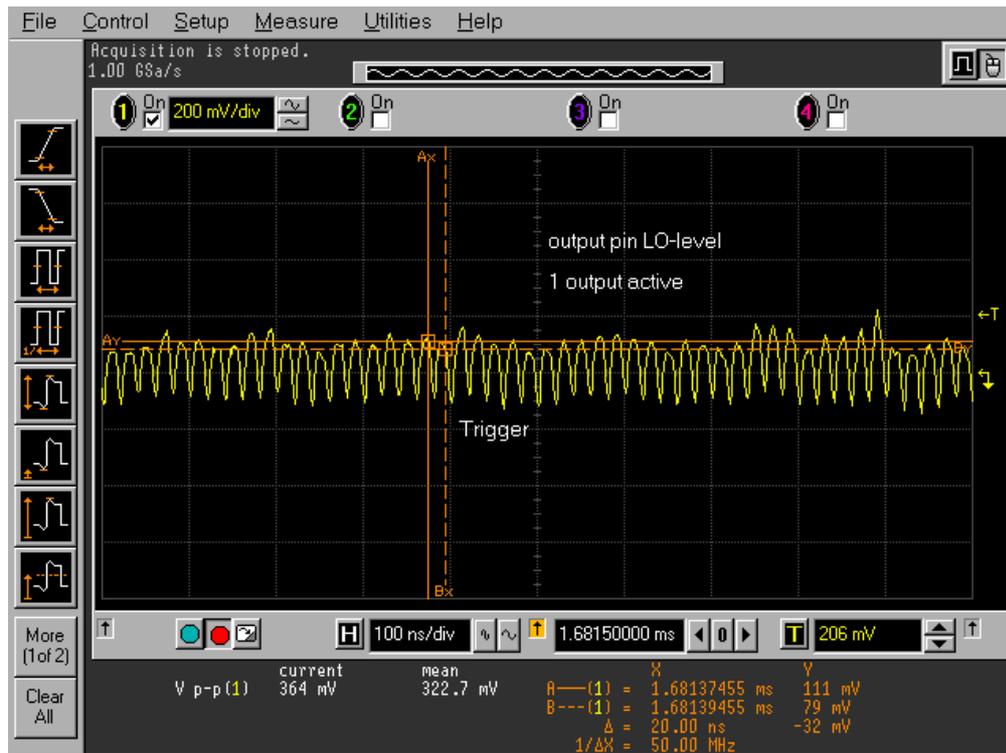


Bild 14: Output-Pin des SX bei Low-Pegel

Wird dieses 1-Bit DAC-Signal auf den Integrator gegeben, so entsteht ein Signalverlauf ähnlich dem in Bild 4. Zur Demonstration wurde im folgenden Beispiel eine Abtastfrequenz mit 30,6 kHz bei einer konstanten Eingangsspannung von 4 V gewählt (Bild 15). Es entsteht am Integratorausgang ein mit den bereits gezeigten Störungen behafteter Signalhub von ca. 180 mV, wobei der Pegel immer um die 2,5 V - Schwelle pegelt.

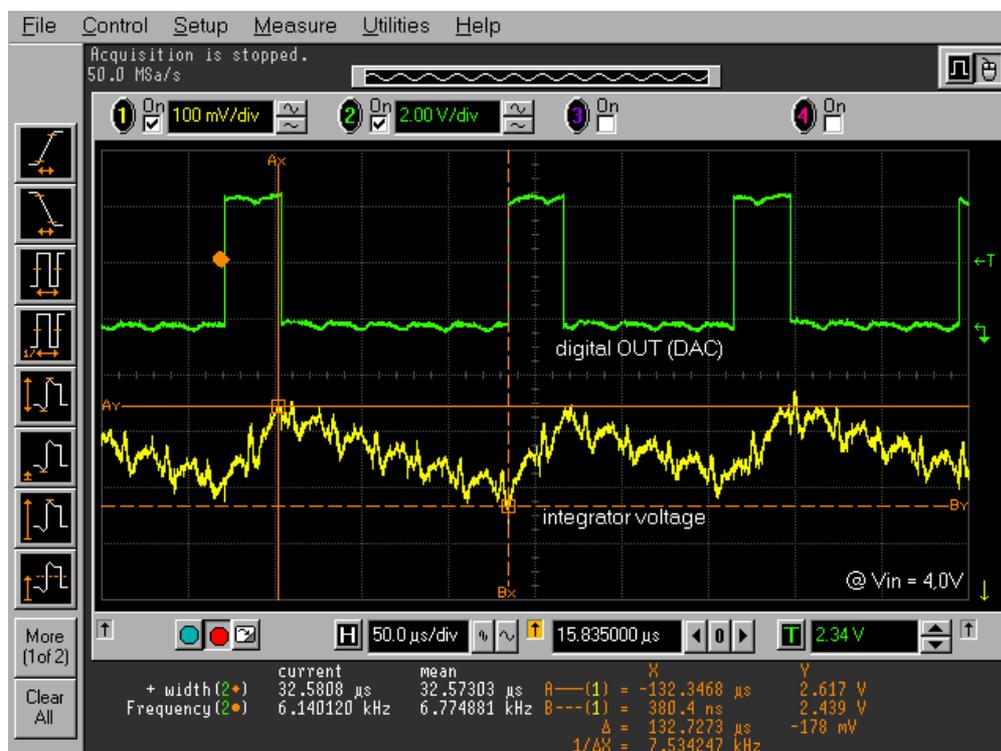


Bild 15: Integratorspannung bei 30,6 kHz Abtastfrequenz

Erhöht man die Abtastfrequenz auf realistische 306 kHz, so wird der Signalhub geringer und beträgt nur noch 20 mV (Bild 16). Das reicht aber völlig aus, um den Komparator sicher zu schalten. Die Abtastzeitpunkte werden durch die Software festgelegt und (Cursor Ax und Bx in Bild 16) liegen 140 ns vor dem Schalten des DAC-Outputs. Bleibt der Signalhub entsprechend gering, so kann man von einem linearen Verhalten des Integrators (Kondensator) ausgehen.

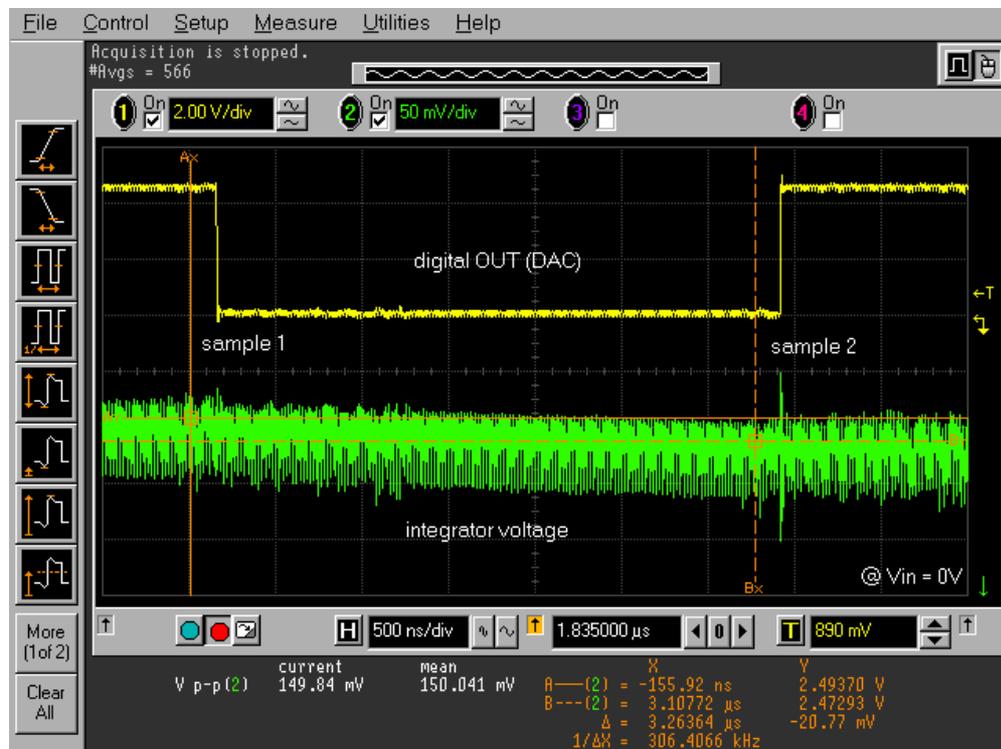


Bild 16: Integratorspannung bei 306 kHz Abtastfrequenz

Festlegung der Parameter

Soll ein 8-Bit ADC realisiert werden, so ist gemäß Bild 5 eine Überabtastrate von mindestens 64 erforderlich. Dabei ist zu beachten, daß dieser Wert zu optimistisch ist, da die Bedingungen für das zugrunde gelegte Modell nicht ganz eingehalten werden. Das ist jedoch kein Problem, da sich bei b-Bit Auflösung eine Überabtastrate von 2^b softwaremäßig leicht realisieren läßt (wie noch gezeigt wird). Werden kleinere Überabtastraten als 2^b gewünscht, so kann auf der einen Seite zwar die Abtastrate kleiner gewählt werden, um Eingangssignale gleicher Frequenz zu verarbeiten. Auf der anderen Seite steigt der Aufwand und Rechenzeitbedarf für die Softwarealgorithmen erheblich.

Theoretisch kann durch eine Erhöhung der Überabtastrate auch die Auflösung des ADC vergrößert werden (z.B. auf 12 oder 16 Bit). Dabei sinkt natürlich die nutzbare Bandbreite des Eingangssignales entsprechend ab. Es müssen natürlich die bereits erwähnten Anforderungen bezüglich Genauigkeit und Rauschverhalten an den $\Sigma\Delta$ -Modulator erfüllt sein. Dazu kann eine höhere Ordnung für den $\Sigma\Delta$ -Modulator und in jedem Fall für das Digitalfilter erforderlich sein. Es ist daher abzuschätzen, ob dem dazu notwendigen zusätzlichen Aufwand nicht ein industriell verfügbarer ADC vorzuziehen ist.

Die Bedienung der virtuellen Peripheriekomponenten des SX soll kontinuierlich alle 3,26 μs erfolgen. Damit ist die Abtastfrequenz auf 306,7 kHz festgelegt. Die Softwareroutine zur zyklischen Behandlung des ADC, auf die noch eingegangen wird, benötigt ca. 240 ns Rechenzeit und belegt damit ca. 8% der Rechenleistung des Controllers.

Man erhält so durch die Dezimierung eine Abtastrate des Wandlers von 1,2 kHz.

Um die Rechenzeit für das Digitalfilter gering zu halten, wurde hier auch nur ein Filter 1. Ordnung eingesetzt.

Damit wird eine Verschlechterung des Signal/Rauschabstandes (siehe Bild 6) und eine Verfälschung der Meßergebnisse bei höheren Eingangssignalfrequenzen (siehe Bild 8) in Kauf genommen.

Die Verfälschung der Meßergebnisse bei höheren Eingangssignalfrequenzen könnte man dadurch mindern, indem man das Digitalfilter und Dezimierer 2-stufig ausführt. In der ersten Stufe wird nur bis auf die 2 oder 4-fache Nyquistfrequenz dezimiert, dadurch werden die Probleme der Sperrdämpfung und Signaldämpfung entschärft. Für die zweite Stufe muß ein Filter höherer Ordnung benutzt werden, dafür ist allerdings die Abtastrate viel geringer, so daß auch mehr Rechenzeit zur Verfügung steht. Bei entsprechender Dimensionierung läßt sich der Frequenzgang der ersten Filterstufe kompensieren.

Wählt man als Bandbreite die Hälfte der Nyquistfrequenz ($f_d = 4 * f_b$) so lassen sich Eingangssignale mit 300 Hz verarbeiten. Damit sind die Frequenzen wie folgt festgelegt:

- $f_b = 300$ Hz
- $f_n = 600$ Hz
- $f_d = 1,2$ kHz
- $f_a = 306$ kHz

Daraus ergibt sich der Dezimierungsfaktor $m = 256$ bei einer Überabtastrate von 512.

Software

In Bild 17 ist der Programmablaufplan dargestellt. In einer jitterfreien Interruptroutine wird der 1-Bit Quantisierer und der Digitalfilter zyklisch bedient. Dazu wird zuerst die Integratorspannung des $\Sigma\Delta$ -Modulators eingelesen (Komparatorfunktion) und invertiert über den DAC-Output ausgegeben.

Interruptroutine für Sigma-Delta-Modulator, Digitalfilter und Dezimierer

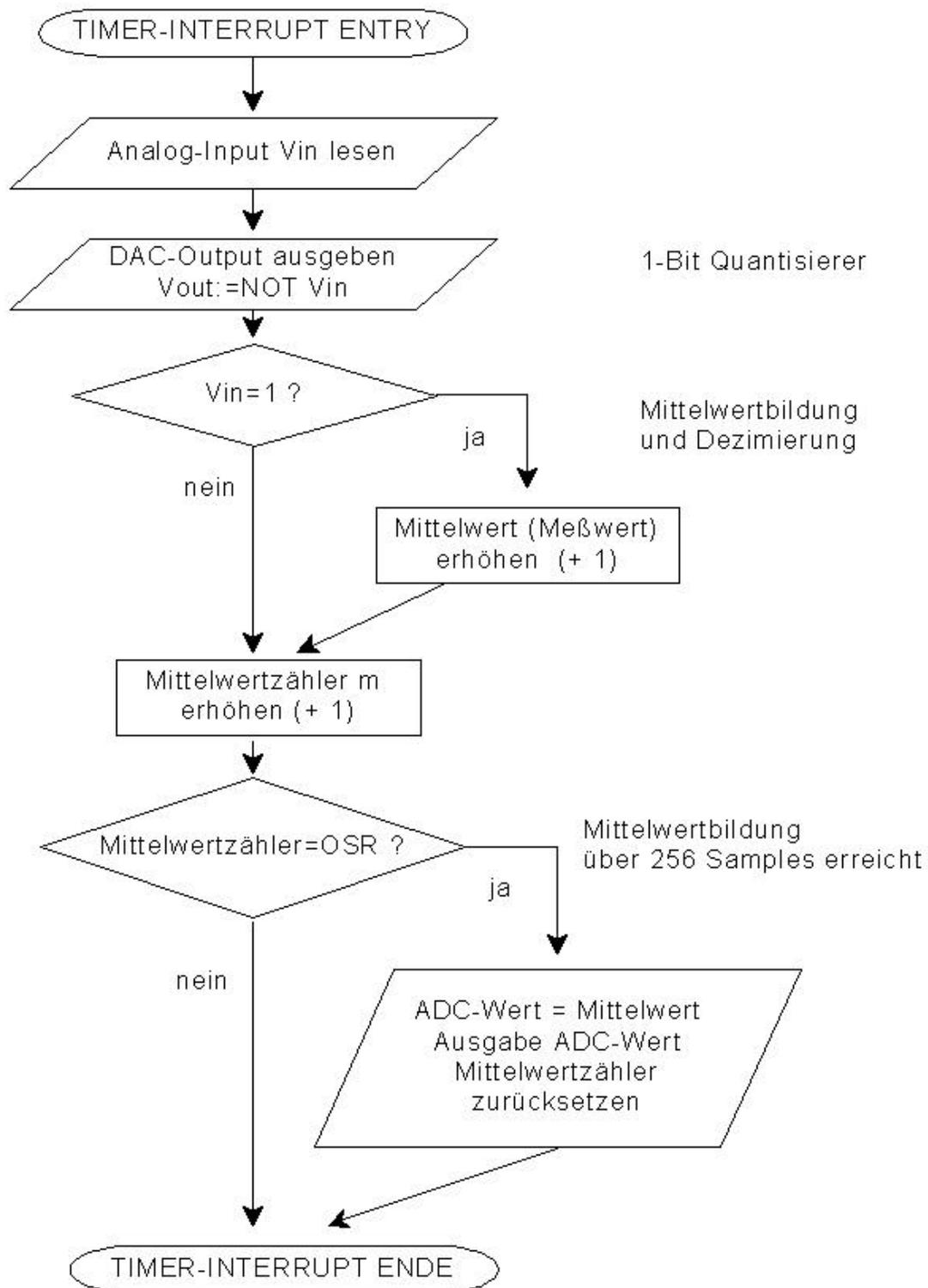


Bild 17: Programmablaufplan für den $\Sigma\Delta$ -ADC

Die Mittelwertbildung erfolgt ganz einfach dadurch, daß die vom Komparator gelesenen 1-Bit Werte während der 256 Samples eines Wandlervorganges (OSR) aufsummiert werden. Nach der Verarbeitung der 256 Samples wird das Ergebnis dieser Summation als Meßergebnis ausgegeben und ein neuer Wandlervorgang gestartet.

Durch diesen einfachen Algorithmus ist es möglich, mit ca. 240 ns Verarbeitungszeit auszukommen. Wird die Ordnung des Filters erhöht oder die Überabtastrate ungleich 2^b gewählt, wird man Filteralgorithmen mit Multiplikationen einsetzen müssen, die dann deutlich mehr Rechenzeit verlangen.

3. Ergebnisse

Um die statische Kennlinie des hier beschriebenen ADC's zu ermitteln, wurden die Meßergebnisse on-line mit einem industriellen 12-Bit ADC verglichen und bewertet. In Bild 18 ist der absolute Fehler in Digits dargestellt, der bei Anlegen einer linear steigenden Eingangsspannung von 0 bis 4 V an den ADC gemessen wurde. Dabei wurde die Differenz der angelegten Spannung und der gemessenen Spannung dargestellt.

Der systematische Fehler (Steigung der Fehlerkurve) ist auf folgende Ursachen zurückzuführen:

- Genauigkeit der Eingangswiderstände des Integrators
- der Innenwiderstand der Signalquelle wird zum Eingangswiderstand hinzugerechnet

Die durchweg positive Abweichung der Meßergebnisse (Verschiebung der Fehlerkurve) ist darauf zurückzuführen, daß die DAC-Ausgangsspannung nicht ganz 5 V erreicht (Bild 13).

Werden die genannten Ursachen noch optimiert und eine Kennlinienkorrektur durchgeführt, so bleibt noch der Rauschanteil als Störung übrig.

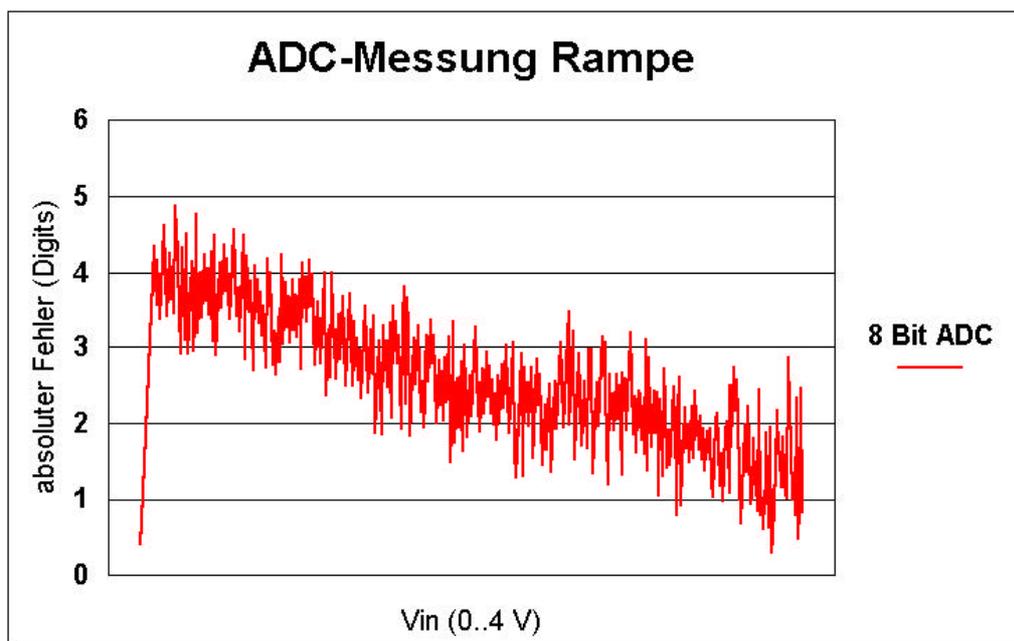


Bild 18: absoluter Fehler in Digits des 8-Bit $\Sigma\Delta$ -ADC

In Bild 19 ist der Fehler, der durch das Rauschen des Wandlers verursacht wird, dargestellt. Wie bereits erwähnt wurde, ist durch die Verwendung des $\Sigma\Delta$ -Modulators und Digitalfilters 1. Ordnung der Rauschanteil ziemlich hoch und liegt durchweg im Bereich von 1-2 LSB.

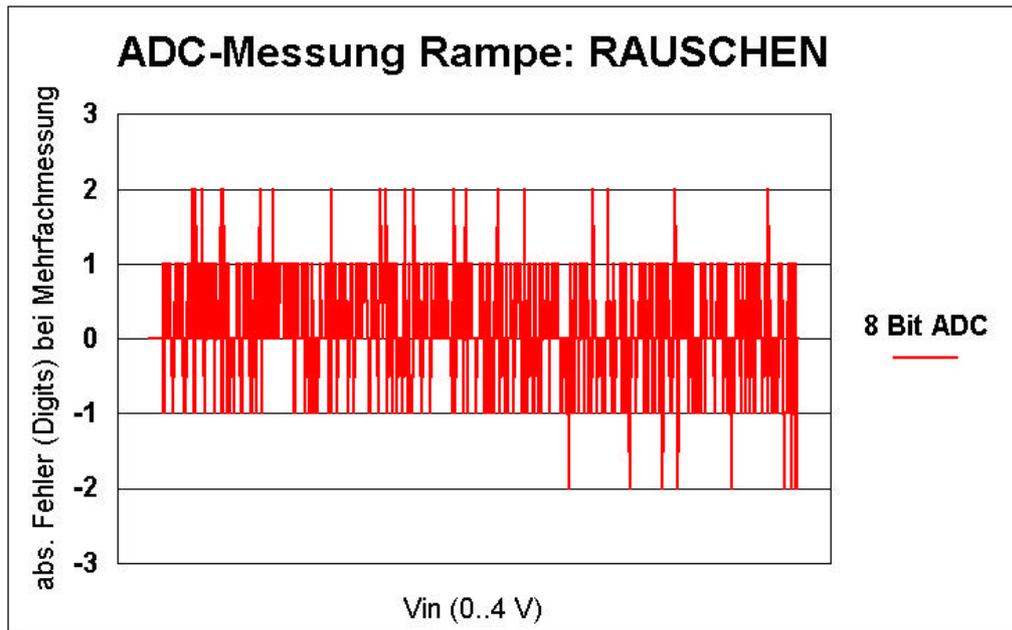


Bild 19: absoluter Fehler durch Rauschen in Digits des 8-Bit $\Sigma\Delta$ -ADC

4. Fazit

Mit dieser doch sehr einfachen Realisierung eines 8-Bit $\Sigma\Delta$ -ADC lassen sich -bei Korrektur der beschriebenen Fehlerursachen - durchaus Genauigkeiten von 2 % erreichen. Soll die Auflösung und Genauigkeit erhöht werden, sind umfangreichere Maßnahmen notwendig.

Für Applikationen, die keine hohen Anforderungen an die zu verarbeitenden Analogspannungen bezüglich Auflösung und Geschwindigkeit stellen (z.B. Temperatorkompensation, Sensoren mit Genauigkeiten 2 % und darüber) ist diese Lösung aufgrund der geringen Kosten und Aufwandes praktikabel.

5. Literatur

- /ARPA87/ Ardalan, S. H.; Paulos, J.J.: An Analysis of Nonlinear Behavior in Delta-Sigma Modulators. IEEE Trans. Circuits and Sys., vol CAS-34, S. 593-603, Juni 1987.
- /Beck96/ Becker, S.: Entwurfskonzept für Sigma-Delta-A/D-Wandler. Diplomarbeit, Fak.Elektrotechnik, TU Dresden, 1996.
- /CAND85/ Candy, J.C.; Temes, G.C.: Oversampling Delta-Sigma Data Converters. IEEE Press, 1991.
- /CAND86/ Candy, J.C.: Decimation for Sigma Delta Modulation. IEEE Trans. Commun., vol. COM-34, S. 249-258, Jan. 1986.
- /GRAY90/ Gray, R.M.: Quantisation Noise Spectra. Trans. Inform. Theory, vol IT-36, S. 1200-1244, Nov. 1990.
- /LÜKE90/ Lüke, H. D.: Signalübertragung. Springer-Verlag, 1990.
- /WUR98/ Wurlitzer, Th.: μ Controller mit virtueller Peripherie, Design&Elektronik, H. 6/98 S.32-34.
- /TWH98/ Thamm,O.; Wurlitzer, Th.; Hertenberger, A.: Kompaktklasse, ELRAD, H. 2-4/98

Internetlinks:

www.parallaxinc.com

www.scenix.com

www.mrt.htwk-leipzig.de

www.elektronikladen.de/sx.html

Autorenkontakt:

HTWK Leipzig
Prof. Dr.-Ing. habil. Wolfgang Reinhold
Wächterstraße 13
04107 Leipzig
Tel: 0341-9786-184
Fax: 0341-2132635
email: reinhold@et.htwk-leipzig.de

Dipl.-Ing. Thomas Wurlitzer
c/o MCT Lange & Thamm
Hohe Str. 9-13
04107 Leipzig

eMail: tw@elektronikladen.de
Tel: 0341-3383927
Fax: 0341-2118355

Vertrieb SX in Deutschland:

Elektronikladen Mikrocomputer GmbH
Tel.: 05232-8171
Fax: 05232-86197